

PAT-NO: JP402082295A  
DOCUMENT-IDENTIFIER: JP 02082295 A  
TITLE: DATA DRIVER OF MATRIX DISPLAY DEVICE  
PUBN-DATE: March 22, 1990

INVENTOR-INFORMATION:

NAME

HOSHIYA, TAKAYUKI  
YAMAGUCHI, TADAHISA  
TAKAHARA, KAZUHIRO

INT-CL (IPC): G09G003/36, G02F001/133 , G09G003/20

US-CL-CURRENT: 345/100

ABSTRACT:

PURPOSE: To allow the application of the data driver to sequential and simultaneous sampling and to contrive the lowering of an operating speed and the reduction of electric power consumption by branching the output signal of a shift register to 3 signals and selecting these signals with three control signals to form the sampling timing signals to be applied to a sample-hold circuit.

CONSTITUTION: All of the three control signals are made into a '1', by which the simultaneous sampling of the R, G, B signals applied to the sample-hold circuit 5 is executed if a timing selection circuit 6 is constituted of, for example, an AND circuit. The sampling timing signals dividing the output signal of the shift register 4 to three timings can be formed by setting the timings of the three control signals and, therefore, the sequential sampling of the R, G, B signals is possible. The application of the data driver to both the sequential sampling and the simultaneous sampling is possible in

this way;  
in addition, the operating speed of the shift register is lowered and  
the  
electric power consumption is reduced.

COPYRIGHT: (C)1990,JPO&Japio

## ⑫ 公開特許公報(A) 平2-82295

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月22日

G 09 G 3/36  
G 02 F 1/133  
G 09 G 3/20

5 1 0

8621-5C  
8708-2H  
6376-5C

審査請求 未請求 請求項の数 1 (全13頁)

⑮ 発明の名称 マトリクス表示装置のデータドライバ

⑯ 特 願 昭63-233698

⑰ 出 願 昭63(1988)9月20日

⑱ 発 明 者 星 屋 隆 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑱ 発 明 者 山 口 忠 久 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑱ 発 明 者 高 原 和 博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地  
⑳ 代 理 人 弁理士 柏谷 昭司 外1名

## 明 細 書

## 3 発明の詳細な説明

## (概要)

## 1 発明の名称

マトリクス表示装置のデータドライバ

## 2 特許請求の範囲

データバス(1)とスキャンバス(2)とを直交して配置したマトリクス表示パネル(3)の前記データバス(1)にデータ電圧を印加するマトリクス表示装置のデータドライバに於いて、

シフトクロック信号に従ってシフトデータを順次シフトするシフトレジスタ(4)と、

前記データバス(1)対応に表示データをサンプリングして前記データ電圧を出力するサンプルホールド回路(5)と、

前記シフトレジスタ(4)の出力信号を3分岐し、3個の制御信号により選択して、前記サンプルホールド回路(5)に加えるサンプリングタイミング信号とするタイミング選択回路(6)とを設けた

ことを特徴とするマトリクス表示装置のデータドライバ。

液晶、EL等の表示媒体を直交配置したデータバスとスキャンバスとの間に介在して設けたマトリクス表示パネルに、データ電圧を印加する為のマトリクス表示装置のデータドライバに関し、

白黒表示等の為の順次サンプリングと、カラー表示の為のR、G、B信号の同時サンプリングとの何れにも適用可能とし、且つシフトレジスタの動作速度を低減して、消費電力の低減化及び構成の低価格化を図ることを目的とし、

データバスとスキャンバスとを直交して配置したマトリクス表示パネルの前記データバスにデータ電圧を印加するマトリクス表示装置のデータドライバに於いて、シフトクロック信号に従ってシフトデータを順次シフトするシフトレジスタと、前記データバス対応に表示データをサンプリングして前記データ電圧を出力するサンプルホールド回路と、前記シフトレジスタの出力信号を3分岐し、3個の制御信号により選択して、前記サン

ルホールド回路に加えるサンプリングタイミング信号とするタイミング選択回路とを設けて構成した。

#### (産業上の利用分野)

本発明は、液晶、EL等の表示媒体を直交配置したデータバスとスキャンバスとの間に介在して設けたマトリクス表示パネルに、データ電圧を印加する為のマトリクス表示装置のデータドライバに関するものである。

現在、市販されている小型液晶カラーテレビ受像機に於いては、直交配置したデータバスとスキャンバスとの間に液晶を封入し、且つカラーフィルタを設けたマトリクス表示パネルが使用されている。このようなマトリクス表示パネルは、表示容量の増大と大型化とが期待されており、又コンピュータの表示端末装置としての適用も考えられている。従って、各種の用途に対して表示品質を確保できるデータドライバが必要となる。

#### (従来の技術)

N T S C規格によるビデオ信号は、例えば、第

13図に示すように、輝度信号と色差信号と同期信号とが複合された信号であり、このビデオ信号を分離、復調すると、例えば、第14図に示すような同期信号SYNと、R(赤)、G(緑)、B(青)の輝度信号とに分離される。そして、R+G+Bで示すよう場合には、白色表示となる。又コンピュータ等から出力されるビデオ信号は、文字或いはグラフィック表示を行うものであり、通常は第12図に示すように、同期信号SYNとR、G、B信号とからなるものである。

液晶表示パネルのようなマトリクス表示パネルを用いた場合は、同期信号SYNに従ってスキャンバスを順次走査し、1走査期間内のR、G、B信号をサンプルホールドしたデータ電圧をデータバスに印加するもので、第15図はデータ電圧を出力する為の従来例のデータドライバの要部ブロック図を示す。同図に於いて、71-1~71-nはサンプリングスイッチ、72-2~72-nはホールド用のコンデンサ、74はシフトレジスタ、75はサンプルホールド回路、76はレベル

コンバータ、77はアナログバッファ回路、78-1~78-nはバッファ回路、S1~Snはシフトレジスタ74の出力信号、Q1~Qnはマトリクス表示パネルのデータバスに接続される出力端子、S1はシフトデータ、CLKはシフトクロック信号、OEはエネーブル信号、V<sub>DD</sub>は0V等の電源の電圧である。

シフトレジスタ74はシフトデータS1をシフトクロック信号CLKに従って順次シフトし、その出力信号S1~Snをレベルコンバータ76を介してサンプルホールド回路75のサンプリングタイミング信号とし、入力されたR、G、B信号をサンプリングスイッチ71-1~71-nによりサンプリングし、コンデンサ72-1~72-nによりホールドし、アナログバッファ回路77を介して1ライン分同時に出力端子Q1~Qnから出力して、マトリクス表示パネルのデータバスに印加する。

第16図はR、G、B信号と、シフトレジスタ74の出力信号S1、S2、S3、・・・との関

係を示し、シフト出力信号は順次サンプルホールド回路75に加えられるから、R、G、B信号は丸印の時点のレベルがサンプルホールドされ、ホールド出力に従ったデータ電圧が出力される。

#### (発明が解決しようとする課題)

データバスとスキャンバスとを直交配置した液晶表示パネルやEL表示パネル等のマトリクス表示パネルを備えた表示装置を、コンピュータ等の表示端末装置として使用する場合、表示データの1ドットを、R、G、Bの3画素に対応させることになる。その場合、第17図のRGBで示す表示データを、時刻t1、t2、t3のシフト出力信号S1、S2、S3に従って順次R、G、B信号をサンプルホールドし、それらをR、G、Bの3画素に対応させて表示することになる。

しかし、表示データRGBは、伝送経路の静電容量等により、RGB'で示すように波形鈍りが生じるものであり、それによって、時刻t1にR信号をシフト出力信号S1に従ってサンプルホールドすると、波形鈍りの部分をサンプリングする

ことになるから、表示データの正確なサンプリングができないことになる。

このような欠点を除く為には、伝送経路の静電容量を急速に充放電できるような電流容量の大きい出力部を設ければ良いことになるが、消費電力が増大する欠点が生じる。

又第18図に示すように、同時サンプリングを行うデータドライバも知られている。即ち、シフトレジスタ84のシフト出力信号により、サンプルホールド回路85の3個のサンプリングスイッチを同時に動作させて、R、G、B信号を同時にサンプルホールドし、アナログバッファ回路87を介して出力端子Q1、Q2、・・・から図示を省略したマトリクス表示パネルのデータバスにデータ電圧を印加するものである。

しかし、サンプルホールド回路85に於いて、R、G、B信号を同時にサンプリングすることが可能となつて、前述の波形鈍りによる問題を解決できたとしても、表示容量が小さい表示パネルを用いた場合には、サンプリングタイミング間隔が

大きくなることから、表示解像度が低下することになる。

前述のように、従来例のマトリクス表示装置のデータドライバは、順次サンプリングか同時サンプリングかの何れかの構成を有するものであり、順次サンプリング構成の場合は、波形鈍りの影響により表示品質が低下し、又同時サンプリング構成の場合は、比較的表示容量が小さい構成の表示パネルを用いて動画等を表示する時に、解像度の低下が問題となる。

又順次サンプリングの場合には、マトリクス表示パネルのデータバス対応のビット長のシフトレジスタを必要とするもので、表示容量を大きくするに従つてシフトレジスタのビット長を長くする必要があると共に、動作速度を高くする必要があり、高価となる欠点があった。

本発明は、順次サンプリングと同時サンプリングとの何れにも適用可能とし、且つシフトレジスタの動作速度を低減して、消費電力の低減化及び構成の低価格化を図ることを目的とするものである。

る。

#### 〔課題を解決するための手段〕

本発明のマトリクス表示装置のデータドライバは、第1図を参照して説明すると、データバス1とスキャンバス2とを直交配置した液晶、BL等のマトリクス表示パネル3のデータバス1に、データ電圧を印加するデータドライバに於いて、シフトクロック信号に従つてシフトデータを順次シフトするシフトレジスタ4と、データバス1対応に表示データをサンプリングしてデータ電圧を出力するサンプルホールド回路5と、シフトレジスタ4の出力信号を3分岐し、3個の制御信号により選択して、サンプルホールド回路5に加えるサンプリングタイミング信号とするタイミング選択回路6とを設けて構成したものであり、サンプルホールド回路5からマトリクス表示パネル3のデータバス1に対しては、アナログバッファ回路7を介してデータ電圧が加えられ、又マトリクス表示パネル3のスキャンバス2に対しては、スキャンドライバ8からスキャンパルスが順次加えられ

る。

#### 〔作用〕

タイミング選択回路6は、アンド回路やラッチ回路により構成することができるものであり、アンド回路により構成した場合、3個の制御信号を総て".1"とすることにより、サンプルホールド回路5に加えられるR、G、B信号を同時にサンプリングすることができる。又3個の制御信号のタイミングを設定することにより、シフトレジスタ4の出力信号を3個のタイミングに分割したサンプリングタイミング信号を形成することができるから、R、G、B信号の順次サンプリングを行うことができる。

#### 〔実施例〕

以下図面を参照して本発明の実施例について詳細に説明する。

第2図は本発明の一実施例の要部ブロック図であり、11-1~11-nはトランジスタ等からなるサンプリングスイッチ、12-1~12-nはホールド用のコンデンサ、13-1~13-n

はアンド回路、14はシフトレジスタ、15はサンプルホールド回路、16はタイミング選択回路、17はアナログバッファ回路、18-1~18-nはバッファ回路、S1はシフトデータ、CLKはシフトクロック信号、S1~Smはシフト出力信号、REN、GEN、BENはイネーブル信号、Q1~Qnは出力端子である。

タイミング選択回路16に加える3個のイネーブル信号REN、GEN、BENが第1図に於ける制御信号に相当し、例えば、イネーブル信号REN、GEN、BENを総て"1"とすると、シフトレジスタ14の例えばシフト出力信号S1がタイミング選択回路16に加えられた時、3個のアンド回路13-1、13-2、13-3の出力信号が同時に"1"となり、サンプルホールド回路15の3個のサンプリングスイッチ11-1、11-2、11-3が同時にオンとなるから、R、G、B信号は同時にサンプリングされ、コンデンサ12-1、12-2、12-3にホールドされる。

いる時は、2R、2G、2Bの実線で示すものとなる。従って、R、G、B信号は順次サンプリングされることになる。

又3個のイネーブル信号REN、GEN、BENを総て"1"とすると、前述のように、タイミング選択回路16は、シフトレジスタ14のシフト出力信号S1、S2、...を、そのまま3分岐して出力することになり、例えば、シフト出力信号S1がタイミング選択回路16に加えられた時、1R、1G、1Bの点線で示すサンプリングタイミング信号がサンプルホールド回路15に加えられ、R、G、B信号は同時サンプリングされることになる。次のシフト出力信号S2が加えられた時も同様にして、2R、2G、2Bの点線で示すサンプリングタイミング信号が出力されるから、R、G、B信号は同時サンプリングされることになる。

従って、順次サンプリングと同時サンプリングとの何れにも適用可能となり、且つシフトレジスタ14のビット長は、マトリクス表示パネルのデ

又シフトレジスタ14の例えばシフト出力信号S1がタイミング選択回路16に加えられた時、3個のイネーブル信号REN、GEN、BENを順次"1"とすると、サンプルホールド回路15の3個のサンプリングスイッチ11-1、11-2、11-3は順次オンとなるから、R、G、B信号は順次サンプリングされることになる。

第3図は動作説明図であり、第2図に於ける符号と同一符号は同一名称の信号の一例を示す。シフトレジスタ14に加えられたシフトデータS1は、シフトクロック信号CLKに従って順次シフトされてシフト出力信号S1、S2、S3、...となる。

又イネーブル信号REN、GEN、BENを、1シフトクロック信号周期T内で図示のように、順次"1"とすると、サンプルホールド回路15に加えられるサンプリングタイミング信号は、シフト出力信号S1がタイミング選択回路16に加えられている時、1R、1G、1Bの実線で示すものとなり、又シフト出力信号S2が加えられて

ータバス数の1/3で済むことになり、従来例に比較して、シフトレジスタ14の動作速度は1/3の低速で良いものとなるから、廉価なシフトレジスタを使用することが可能となる。

第4図は本発明の他の実施例の要部ブロック図であり、第2図と同一符号は同一部分を示し、タイミング選択回路16Aをトランジスタ等からなるスイッチ19-1~19-nにより構成し、且つサンプルホールド回路を、サンプル回路15aとホールド回路15bとに分離し、それらの間にタイミング選択回路16Aを設けた場合を示す。

シフトデータS1をシフトクロック信号CLKによってシフトしたシフトレジスタ14のシフト出力信号S1~Smは、3分岐されてサンプル回路15aに加えられ、サンプル回路15aのサンプリングスイッチ11-1~11-nは、3個毎にオンとなり、R、G、B信号を同時にサンプリングしてタイミング選択回路16Aに加えることになる。

タイミング選択回路16Aでは、イネーブル信

号REN, GEN, BENによってスイッチ19-1~19-nのオン、オフが制御されるから、例えば、シフト出力信号S1によりR, G, B信号をサンプリングスイッチ11-1~11-3によって同時サンプリングし、イネーブル信号REN, GEN, BENを同時に"1"とすると、スイッチ19-1~19-3が同時にオンとなり、ホールド回路15bのコンデンサ12-1~12-3にホールドされる。即ち、R, G, B信号の同時サンプリングが行われることとなる。

又イネーブル信号REN, GEN, BENを順次"1"とすると、スイッチ19-1~19-3は順次オンとなるから、サンプル回路15aのサンプリングスイッチ11-1~11-3により同時にサンプリングされたR, G, B信号は、順次サンプリングされて、ホールド回路15bのコンデンサ12-1~12-3にホールドされる。即ち、R, G, B信号の順次サンプリングが行われることになる。

第5図は本発明の更に他の実施例の要部ブロッ

ク図であり、21-1~21-nはサンプリングスイッチ、22-1~22-nはホールド用のコンデンサ、23-1, 23-2, 23-3はラッチ回路、24はシフトレジスタ、25はサンプルホールド回路、26はタイミング選択回路、27はアナログバッファ回路、28-1~28-nはバッファ回路、S1はシフトデータ、CLKはシフトクロック信号、S1~Smはシフト出力信号、RL, GL, BLはラッチ信号、Q1~Qnは出力端子である。

シフトレジスタ24と、サンプルホールド回路25と、アナログバッファ回路27とは、前述の各実施例に於ける構成と同様であるが、タイミング選択回路26がラッチ回路23-1~23-3により構成されており、3個のラッチ信号RL, GL, BLが第1図に於ける3個の制御信号に相当したものとなる。

タイミング選択回路26のラッチ回路23-1~23-3は、シフトレジスタ24のシフト出力信号S1~Smを、ラッチ信号RL, GL, BL

に従ってラッチし、出力端子Qからサンプルホールド回路25にサンプリングタイミング信号として加えるものである。それによって、R, G, B信号がサンプリングスイッチ21-1~21-nによってサンプリングされ、コンデンサ22-1~22-nにホールドされて、バッファ回路28-1~28-nを介して出力端子Q1~Qnから図示を省略したマトリクス表示パネルのデータバスにデータ電圧を印加することになる。

ラッチ信号RL, GL, BLが同時にタイミング選択回路26に加えられると、例えば、シフト出力信号S1はラッチ回路23-1~23-3に同時にラッチされ、出力端子Qからのサンプリングタイミング信号により、サンプルホールド回路25のサンプリングスイッチ21-1~21-3が同時にオンとなって、R, G, B信号の同時サンプリングが行われる。

又ラッチ信号RL, GL, BLが順次加えられると、例えば、シフト出力信号S1は、ラッチ回路23-1にラッチされた後、ラッチ回路23-

2にラッチされ、更にその後にラッチ回路23-3にラッチされる。即ち、シフト出力信号S1は3個の異なるタイミングでラッチ回路23-1~23-3にそれぞれラッチされるから、サンプルホールド回路25には順次タイミング信号が加えられることになり、R, G, B信号の順次サンプリングが行われる。

第6図は第5図に於ける順次サンプリングの動作説明図であり、第5図に於ける符号と同一符号は同一名称の信号の一例を示す。シフトデータS1はシフトクロック信号CLKに従って順次シフトされ、シフト出力信号S1, S2, S3, ...が順次出力される。又3個のラッチ信号RL, GL, BLが異なる位相で加えられると、それに対応してラッチ回路23-1~23-3に順次ラッチされるから、ラッチ回路23-1~23-3の出力端子Qからは、シフト出力信号S1に対応して1R, 1G, 1Bに示すように順次出力され、又シフト出力信号S2に対応して2R, 2Gに

示すように順次出力される。従って、サンプルホールド回路25に於いては、R、G、B信号の順次サンプリングが行われる。

第7図は第5図に於ける同時サンプリングの動作説明図であり、第5図に於ける符号と同一符号は同一名称の信号の一例を示す。シフトデータS1、シフトクロック信号CLK、シフト出力信号S1、S2、S3、・・・は第6図に示す場合と同一であるが、ラッチ信号RL、GL、BLが同一位相でタイミング選択回路26に加えられる。従って、シフト出力信号S1、S2、S3、・・・は、同時にラッチ回路23-1～23-3にラッチされることになり、出力端子Qからは、シフト出力信号S1、S2、・・・に対応して、1R、1G、1B、2R、2G、・・・のように出力されるから、R、G、B信号の同時サンプリングが行われる。

第8図は順次サンプリング表示の表示装置のブロック図であり、マトリクス表示パネル30は、例えば、243×240の白黒マトリクス表示パ

ネルであり、31はデータバス、32はスキャンバス、33はトランジスタ等のスイッチング素子、34は液晶等からなる表示素子、35は同期分離回路、36は色差信号トラップ、37はバッファ増幅器、38はタイミング制御回路、39はスキャンドライバ、40-1～40-3はデータドライバである。

データドライバ40-1～40-3は、それぞれ、第2図、第4図或いは第5図に示す構成を有し、マトリクス表示パネル30の243本のデータバス31を、各データドライバ40-1～40-3は81本宛分担することになる。又各データドライバ40-1～40-3のシフトレジスタは直列的に接続されて、シフトデータS1がシフトクロック信号CLKに従ってシフトされる。

又ビデオ信号は同期分離回路35に加えられ、分離された同期信号SYNはタイミング制御回路38に加えられて、シフトデータS1、シフトクロック信号CLK、イネーブル信号やラッチ信号等の制御信号CS1、CS2、CS3、スキャン

データSD、スキャンクロック信号SCN等が出力される。又色差信号トラップ36に於いて、ビデオ信号から3.58MHzのトラップにより色信号を抜き取ることにより、白黒の輝度信号とし、バッファ増幅器37を介してデータドライバ40-1～40-3に加える。この場合、R、G、B信号を加える端子を共通に接続して輝度信号を加える構成とすることになる。

又スキャンドライバ39は、スキャンデータSDをスキャンクロック信号SCNに従ってシフトし、そのシフト出力信号によりスキャンバス32に順次スキャンパルスを加えるものであり、そのスキャンパルスに同期して、データドライバ40-1～40-3から1ライン分のデータ電圧が出力されて、マトリクス表示パネル30のデータバス31に加えられる。

データドライバ40-1～40-3のタイミング選択回路を第2図又は第4図に示す構成とした場合、タイミング制御回路38からの制御信号CS1、CS2、CS3をイネーブル信号REN、

GEN、BENとし、第3図に示すように、それぞれ位相が異なる信号とすることにより、バッファ増幅器37からの輝度信号は、順次サンプリングされることになる。又タイミング選択回路を第5図に示す構成とした場合、タイミング制御回路38からの制御信号CS1、CS2、CS3をラッチ信号RL、GL、BLとし、第6図に示すように、それぞれ位相が異なる信号とすることにより、バッファ増幅器37からの輝度信号は、順次サンプリングされることになる。

白黒テレビ受像機の場合、R、G、Bの3ドット分を同時にサンプリングすると、解像度が低下することになるが、前述のように、順次サンプリングにより解像度を低下させることなく、表示することができる。

第9図は同時サンプリング表示の表示装置のブロック図であり、41はデータバス、42はスキャンバス、43はトランジスタ等のスイッチング素子、44は表示素子、45はマトリクス表示パネル、47はバッファ増幅器、48はタイミング



制御回路、49はスキャンドライバ、50-1～50-3はデータドライバである。マトリクス表示パネル45は、例えば、320×200×3の表示容量を有し、R、G、B画素がストライプ状に配列されてカラー表示を行う構成の場合、各データドライバ50-1～50-3は、320本のデータバス41を分担することになる。

又コンピュータ等からR、G、B信号と同期信号SYNとが入力され、タイミング制御回路48から、同期信号SYNに従って、シフトデータS1、シフトクロック信号CLK、制御信号CS、スキャンデータSD、スキャンクロック信号SCN等が出力される。又バッファ増幅器47からのR、G、B信号がデータドライバ50-1～50-3に加えられ、又スキャンドライバ49からマトリクス表示パネル45のスキャンバス42にスキャンパルスが加えられ、それに同期してデータドライバ50-1～50-3からデータ電圧がデータバス41に加えられる。

データドライバ50-1～50-3は、それぞ

れ、第2図、第4図或いは第5図に示す構成を有し、それぞれのシフトレジスタは直列的に接続されて、シフトデータS1をシフトクロック信号CLKに従ってシフトすることになる。又タイミング制御信号48からの制御信号CSは、データドライバ50-1～50-3のタイミング選択回路が第2図又は第4図に示す構成の場合、同一位相のイネーブル信号REN、GEN、BENに相当し、第5図に示す構成の場合、同一位相のラッチ信号RL、GL、BLに相当するものとなる。

従って、データドライバ50-1～50-3に於いては、R、G、B信号を同時サンプリングすることになり、R、G、B信号の伝送経路に於ける静電容量等による波形鈍りの問題を解決して、マトリクス表示パネル45にカラー表示を行うことができる。

第10図は、マトリクス表示パネル55のデータバスを両側に導出して、それぞれデータドライバ60-1～60-k+1によってデータ電圧を印加する分割駆動表示の表示装置のブロック図を

示し、56はタイミング制御回路、57はスキャンドライバである。コンピュータ等からのR、G、B信号がデータドライバ60-1～60-k+1に加えられ、又同期信号SYNがタイミング制御回路56に加えられ、タイミング制御回路56からシフトクロック信号CLKA、CLKB、制御信号CSA、CSB、シフトデータS1、スキャンデータSD、スキャンクロック信号SCN等が出力される。

データドライバ60-1～60-k+1は、前述の第2図、第4図或いは第5図に示す構成を有し、奇数番のデータドライバ60-1、60-3、・・・60-kのシフトレジスタは直列的に接続されて、シフトデータS1をシフトクロック信号CLKAに従って順次シフトし、同様に、偶数番のデータドライバ60-2、60-4、・・・60-k+1のシフトレジスタも直列的に接続されて、シフトデータS1をシフトクロック信号CLKBに従って順次シフトする。

又R、G、B信号は、第2図、第4図或いは第

5図に示す構成と対応させると、奇数番のデータドライバ60-1、60-3、・・・60-kは、R→R、G→B、B→Gの関係に、又偶数番のデータドライバ60-2、60-4、・・・60-k+1は、R→G、G→R、B→Bの関係になるように接続される。

又シフトレジスタのシフト出力信号と、タイミング制御回路56からの制御信号CSA、CSBとにより、データドライバ60-1～60-k+1に於けるサンプリングタイミング信号が形成されて、R、G、B信号のサンプリングが行われ、スキャンドライバ57からのスキャンパルスに同期して、マトリクス表示パネル55のデータバスにデータ電圧が印加される。

マトリクス表示パネル55は、データバスとスキャンバスとの交点のR、G、B画素が丸印内で示すように配列され、データバスが交互に両側へ導出されていることにより、例えば、奇数番のデータドライバ60-1、60-3、・・・60-kでは、R、B、G、R、B、Gの順序に配列し

た画素対応のデータバスにデータ電圧を印加することになり、偶数番のデータドライバ60-2, 60-4, ..., 60-k+1では、G, R, B, G, R, Bの順序に配列した画素対応のデータバスにデータ電圧を印加することになる。

データドライバ60-1~60-k+1が、第2図に示す構成を有する場合、奇数番のデータドライバ60-1, 60-3, ..., 60-kは、制御信号CSAをイネーブル信号BENとし、制御信号CSBをイネーブル信号REN, GENとする。又偶数番のデータドライバ60-2, 60-4, ..., 60-k+1は、制御信号CSAをイネーブルRENとし、制御信号CSBをイネーブル信号GEN, BENとする。

第11図は第10図の制御タイミングの説明図であり、データドライバ60-1~60-k+1のタイミング選択回路を、前述のように、第2図又は第4図に示す構成とした場合を示す。即ち、シフトレジスタにタイミング制御回路56からシフトデータSIが加えられ、シフトクロック信号

CLK (CLKA, CLKB) に従ってシフトされ、S1, S2に示すように、シフトクロック信号CLKに従ってシフト出力信号が得られる。又制御信号CSA, CSBが図示のように出力されると、データドライバ60-1に於いては、シフト出力信号S1と制御信号CSB (REN, GEN) (第2図参照) とが"1"であるから、アンド回路13-1, 13-2の出力信号が"1"となり、R→R, G→Bの関係の接続となっているから、R, B信号がサンプリングされることになる。

又データドライバ60-2に於いては、シフト出力信号S1と制御信号CSB (REN) (第2図参照) とが"1"であるから、アンド回路13-1の出力信号が"1"となり、R→Gの関係の接続となっているから、G信号がサンプリングされる。即ち、入力されたR, G, B信号がT1のサンプリングタイミング信号(1R, 1G, 1B)によって同時サンプリングされる。従って、データドライバ60-1からR, Bの画素、データ

ドライバ60-2からGの画素に対するデータ電圧が印加されることになる。

次に制御信号CSAが"1"となるから、データドライバ60-1に於いては、イネーブル信号BENが"1"になったことに相当し、アンド回路13-3の出力信号が"1"となり、B→Gの関係の接続となっているから、G信号がサンプリングされる。又データドライバ60-2に於いては、イネーブル信号GEN, BENが"1"になったことに相当し、アンド回路13-2, 13-3の出力信号が"1"となり、G→R, B→Bの関係の接続となっているから、R, B信号がサンプリングされる。即ち、入力されたR, G, B信号が、第11図に於けるT2のサンプリングタイミング信号(2R, 2G, 2B)によって同時サンプリングされる。以下同様にして、シフト出力信号S1, S2, ...と制御信号CSB, CSAとに対応したサンプリングタイミング信号T2, T3, T4により、奇数番のデータドライバと偶数番のデータドライバとに於いてR, G, B信

号が同時サンプリングされる。

第12図は第10図の制御タイミング説明図であり、データドライバ60-1~60-k+1のタイミング選択回路を、第5図に示す構成とした場合を示す。即ち、タイミング制御回路56からのシフトデータSIがシフトクロック信号CLK (CLKA, CLKB) に従ってシフトレジスタにシフトされ、シフト出力信号S1, S2, ...が出力される。又制御信号CSB, CSAがラッチ信号としてデータドライバ60-1~60-k+1のラッチ回路に加えられる。この場合、第5図に於けるR, G, B信号の入力端子と、ラッチ信号RL, GL, BLの入力端子とは、第11図について説明した場合と同様の関係で、奇数番のデータドライバ60-1, 60-3, ..., 60-kと、偶数番のデータドライバ60-2, 60-4, ..., 60-k+1とに於ける入力端子の接続が行われている。

従って、シフト出力信号S1が"1"の時、制御信号CSB (ラッチ信号) が"1"となると、

奇数番のデータドライバ60-1では、 $CSB = RL = GL$ の関係であるから、ラッチ回路23-1、23-2（第5図参照）にシフト出力信号S1がラッチされ、偶数番のデータドライバ60-2では、 $CSB = RL$ の関係であるから、ラッチ回路23-1にシフト出力信号S1がラッチされる。そして、奇数番のデータドライバ60-1では、 $R \rightarrow R$ 、 $G \rightarrow B$ 、 $B \rightarrow G$ の関係で接続されているから、R、B信号がサンプリングされ、偶数番のデータドライバ60-2では、 $R \rightarrow G$ 、 $G \rightarrow R$ 、 $B \rightarrow B$ の関係で接続されているから、G信号がサンプリングされる。即ち、T1で示すサンプリングタイミング信号によってR、G、B信号が同時にサンプリングされる。

又制御信号CSAが“1”となると、奇数番のデータドライバ60-1では、 $CSA = BL$ の関係であるから、ラッチ回路23-3にシフト出力信号S1がラッチされ、偶数番のデータドライバ60-2では、 $CSA = GL$ 、 $BL$ の関係であるから、ラッチ回路23-2、23-3にシフト出

力信号S1がラッチされ、奇数番のデータドライバ60-1ではG信号がサンプリングされ、偶数番のデータドライバ60-2ではR、B信号がサンプリングされる。即ち、T2で示すサンプリングタイミング信号によってR、G、B信号が同時にサンプリングされる。以下同様にして、T3、・・・サンプリングタイミング信号が形成されて、奇数番と偶数番とのデータドライバが協同してR、G、B信号を同時サンプリングすることになる。

マトリクス表示パネル55の両側にデータバスを導出し、それぞれにデータドライバを設けた場合は、片側に導出したデータバスにデータドライバを接続した場合に比較して、シフトレジスタを1/2のシフトクロック信号周波数で動作させることが可能となり、表示容量の大きいマトリクス表示パネルのデータドライバとして好適となる。

#### （発明の効果）

以上説明したように、本発明は、シフトレジスタ4の出力信号を3分岐し、3個のイネーブル信

号REN、GEN、BEN又はラッチ信号RL、GL、BL等の制御信号CS1、CS2、CS3によって選択し、サンプルホールド回路5に加えるサンプリングタイミング信号を形成するタイミング選択回路6を設けたものであり、制御信号によって、比較的表示容量が小さいマトリクス表示パネル3用の順次サンプリングと、比較的表示容量が大きいマトリクス表示パネル3用の同時サンプリングとに対して通用することができる。

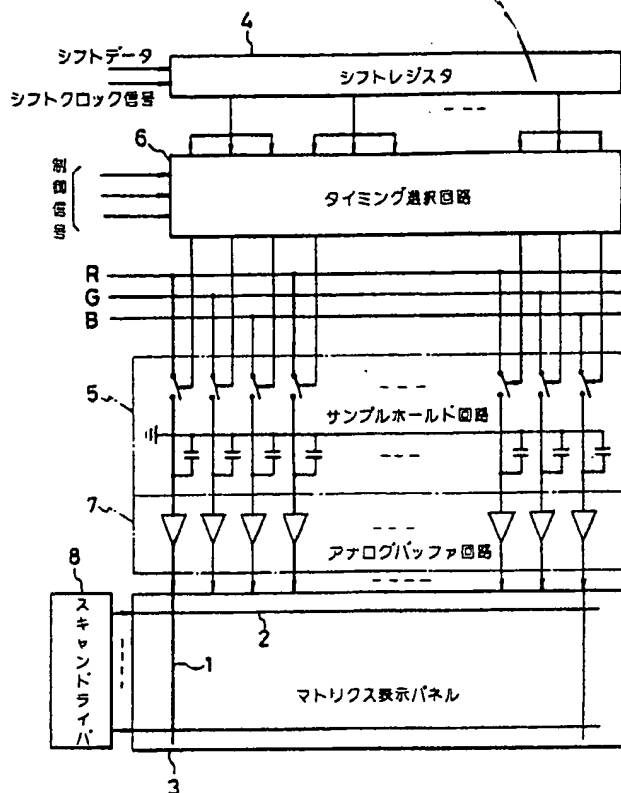
又シフトレジスタ4の出力信号を3分岐して制御信号により選択するものであり、シフトレジスタ4のビット長を従来例に比較して1/3にすることが可能となり、シフトクロック信号の周波数を低減することができるから、消費電力が少なくなり、且つ廉価な構成とすることができるから、経済化を図ることができる。

#### 4 図面の簡単な説明

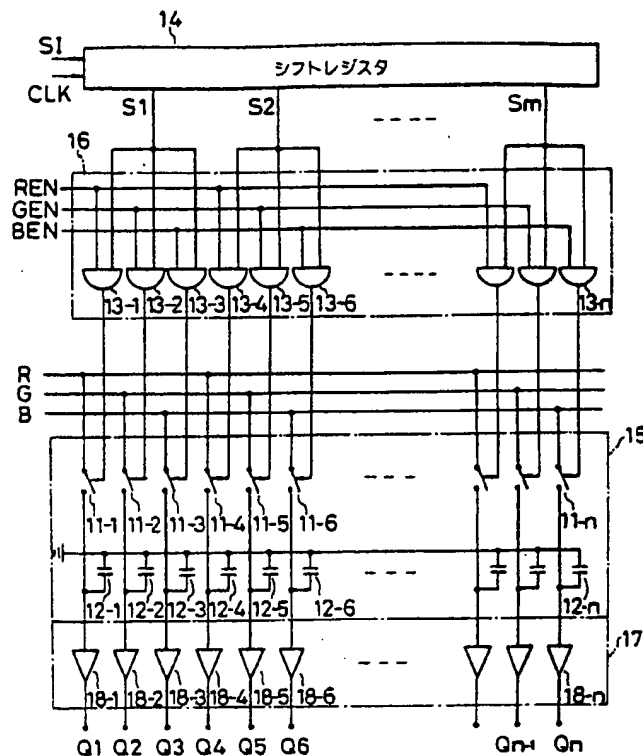
第1図は本発明の原理説明図、第2図は本発明の一実施例の要部ブロック図、第3図は本発明の一実施例の動作説明図、第4図は本発明の他の実

施例の要部ブロック図、第5図は本発明の更に他の実施例の要部ブロック図、第6図は順次サンプリングの動作説明図、第7図は同時サンプリングの動作説明図、第8図は順次サンプリング表示の表示装置のブロック図、第9図は同時サンプリング表示の表示装置のブロック図、第10図は分離駆動表示の表示装置のブロック図、第11図及び第12図は第10図の制御タイミング説明図、第13図はビデオ信号の説明図、第14図はRGB信号の説明図、第15図は従来例のデータドライバの要部ブロック図、第16図は従来例の動作説明図、第17図は順次サンプリングの説明図、第18図は従来例の同時サンプリングの要部ブロック図である。

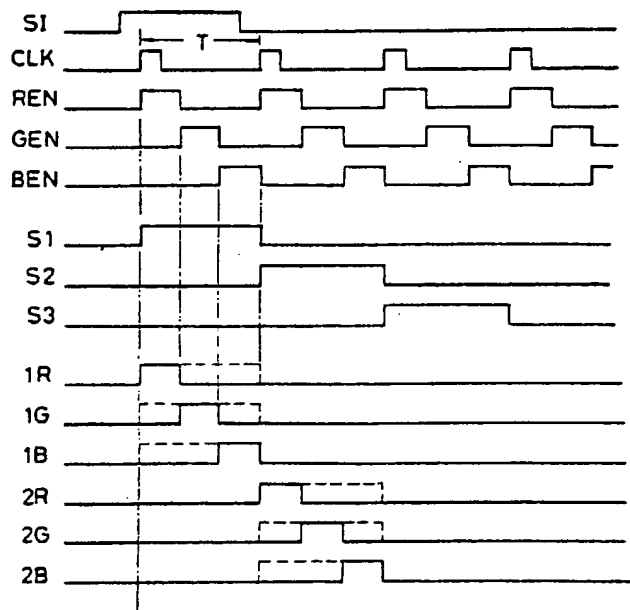
1はデータバス、2はスキャンバス、3はマトリクス表示パネル、4はシフトレジスタ、5はサンプルホールド回路、6はタイミング選択回路、7はアナログバッファ回路、8はスキャンドライバである。



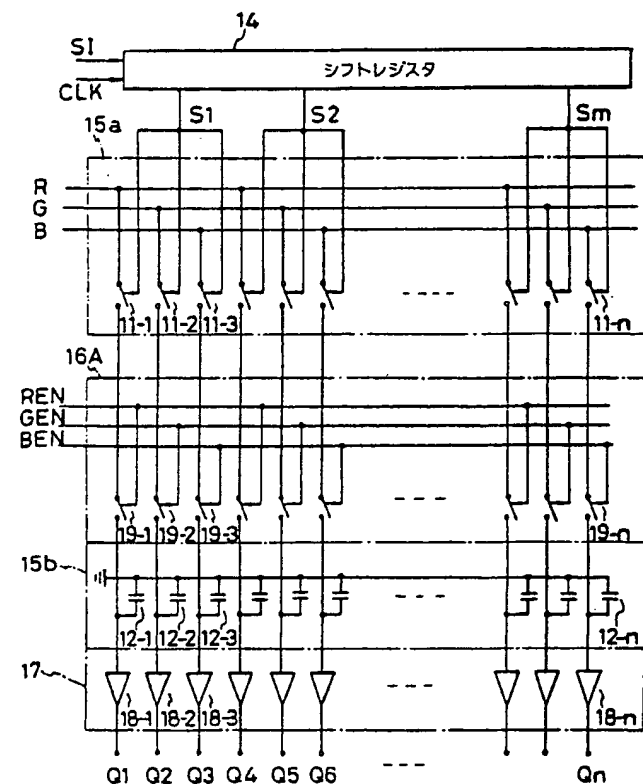
本発明の原理説明図  
第 1 図



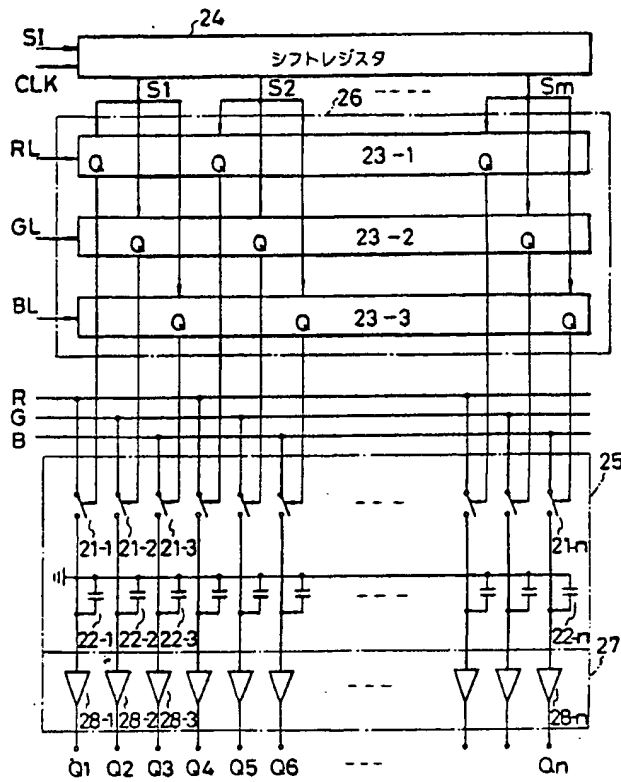
本発明の一実施例の要部ブロック図  
第 2 図



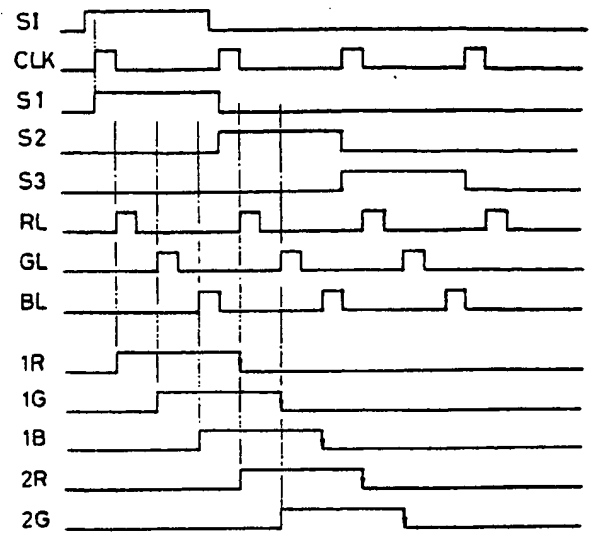
本発明の一実施例の動作説明図  
第 3 図



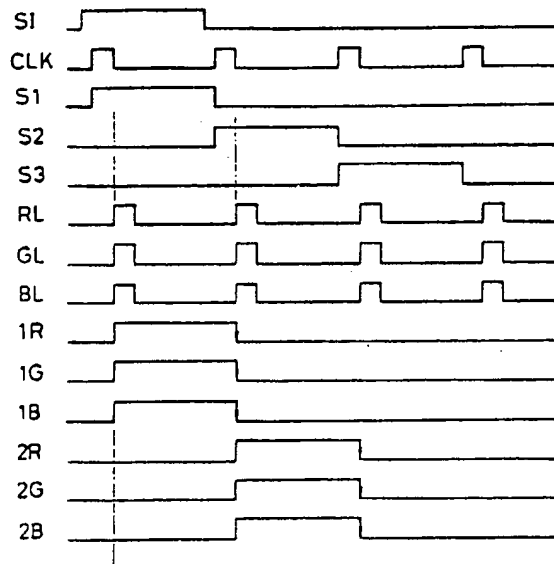
本発明の他の実施例の要部ブロック図  
第 4 図



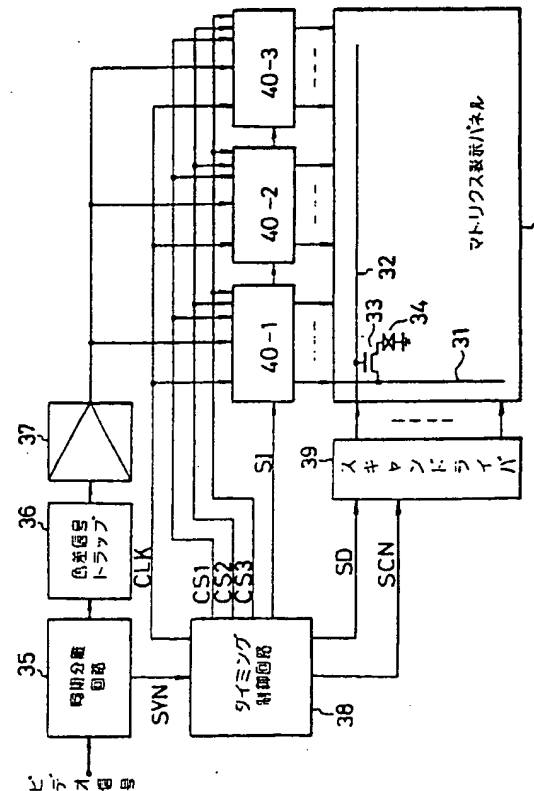
本発明の更に他の実施例の要部ブロック図  
第5図



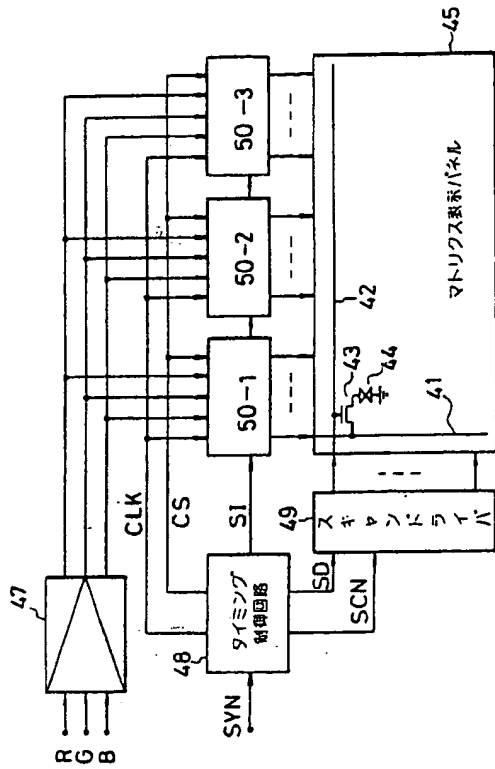
順次サンプリングの動作説明図  
第6図



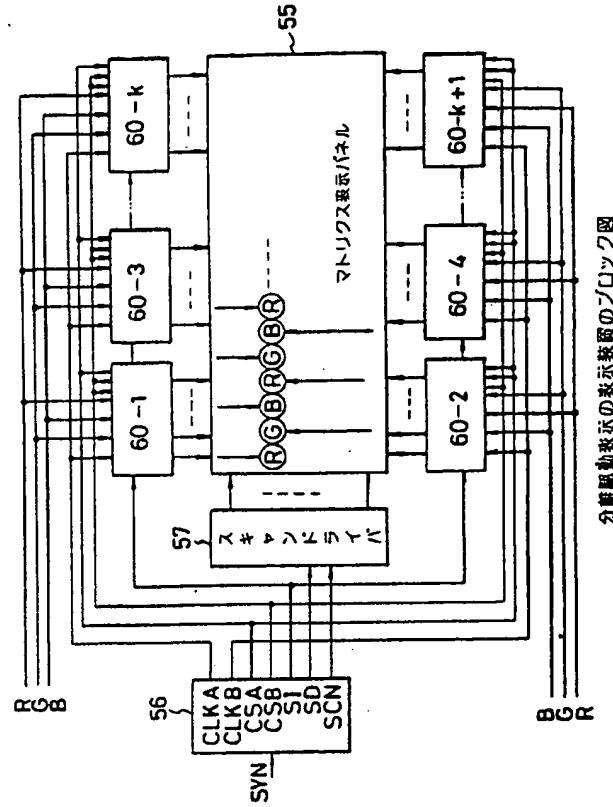
同時サンプリングの動作説明図  
第7図



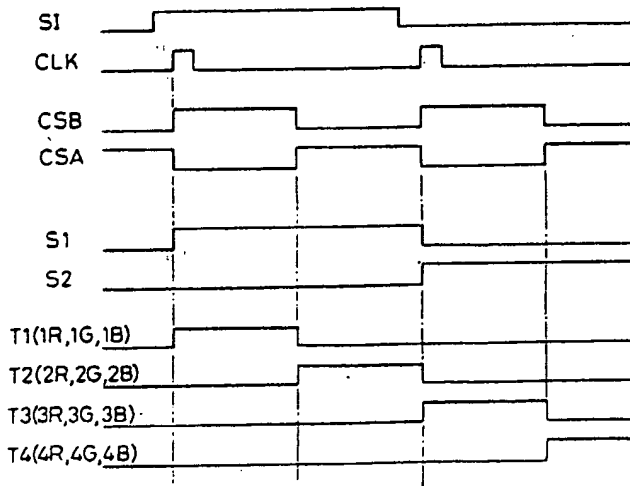
順次サンプリング表示の表示装置のブロック図  
第8図



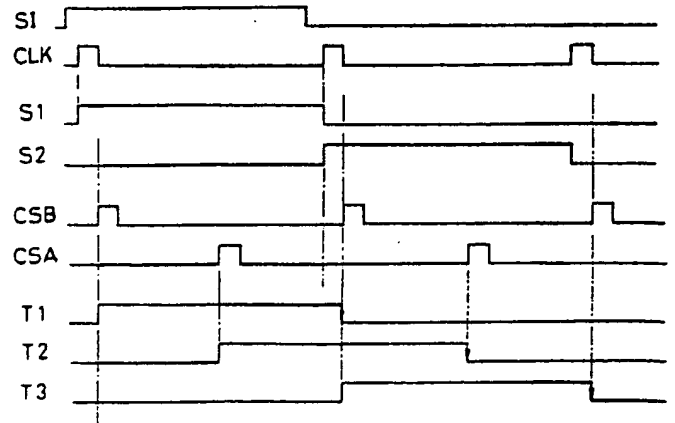
同時サンプリング表示の表示装置のブロック図  
第9図



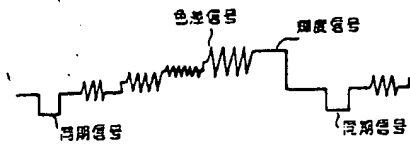
分画順動表示の表示装置のブロック図  
第10図



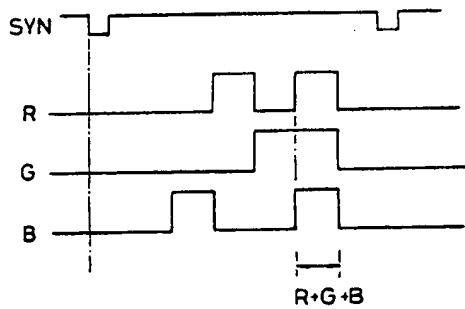
第10図の制御タイミング説明図  
第11図



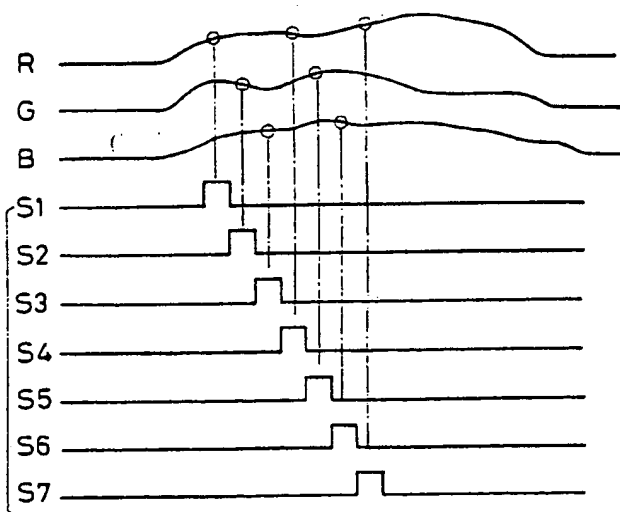
第10図の制御タイミング説明図  
第12図



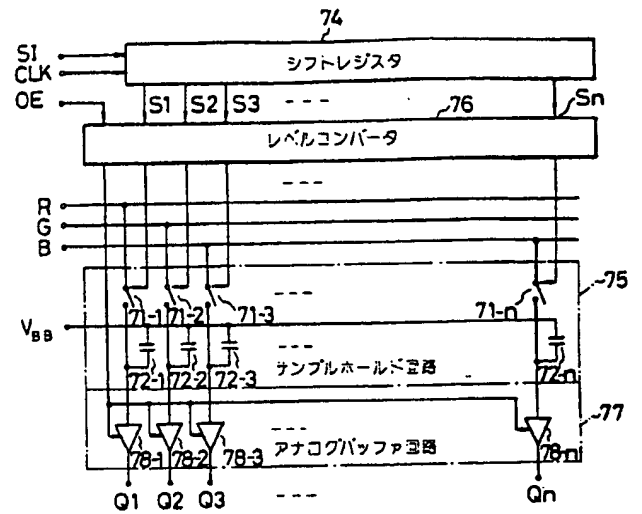
ビデオ信号の説明図  
第13図



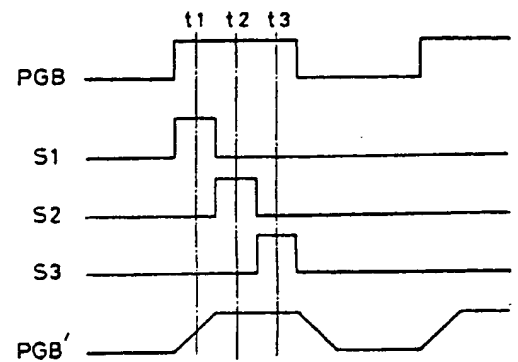
RGB信号の説明図  
第14図



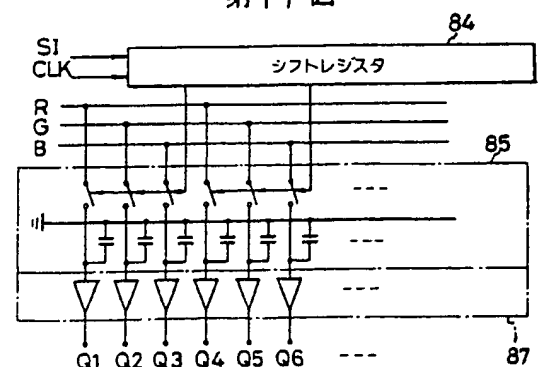
従来例の動作説明図  
第16図



従来例のデータドライバの要部ブロック図  
第15図



順次サンプリングの説明図  
第17図



従来例の同時サンプリングの要部ブロック図  
第18図